

(12) 公開實用新案公報 (U)

(1) 實用新泰山礦公明番号

実開平4-130453

(43) 公開日 平成4年(1992)11月30日

(51) Int. Cl.<sup>6</sup>

識別記号

院内整理番号

F i

技術表示箇所

H01L 23/50

X 9272-454

審査請求 未請求 請求項の数1(全2頁)

(21) 出願番号 実願平3-34597

(22) 出願日 平成3年(1991)5月17日

(71) 出願人 000232038

日本電気アイシーマイコンシステム株式会社  
社

神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 考察者 肖建 店已

神奈川県川崎市中原区小杉町一丁目403番  
53日本電気アイシーマイコンシステム株式  
会社内

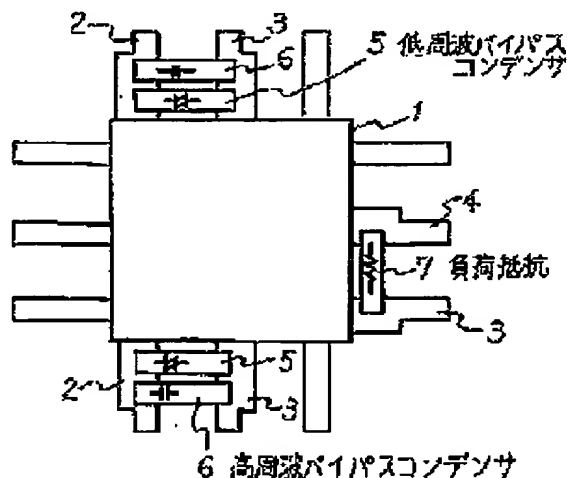
(74) 代理人 斉藤士 内原 雪

(54) 【発案の名義】 高周波 IC 用パッケージ

(57) 【要約】

【構成】V<sub>D</sub>電源用ピン2とGND用ピン3の間の距離Lをチップコンデンサの長さに設定すると共に、V<sub>D</sub>電源用ピン2はチップコンデンサをマウントできるように広くピン幅Wを決める。同様に出力ピン4とGND用ピン3の距離Mをチップ抵抗の長さにすると共に、出力ピン4とGND用ピン3はチップ抵抗をマウントできるようにピン幅Xを決める。このピン中心間距離L、Mとピン幅W、Xはチップ部品の大きさに対応する。

【効果】周波数帯域が広く、電源ノイズを減少させる出力信号による反射が起こらず高周波特性の劣化を減少できる。



**BEST AVAILABLE COPY**

1

2

【実用新案登録請求の範囲】

【請求項1】 内部にICチップを搭載し、かつ外部と接続する複数のピンを有する高周波IC用パッケージにおいて、前記ピンがチップ部品の長さに対応したピン間隔を有し、かつ前記チップ部品の端部をマウントするマウント領域を有することを特徴とする高周波IC用パッケージ。

【図面の簡単な説明】

【図1】 本考案の一実施例の上面図である。

【図2】 図1のパッケージにチップ部品を搭載した上面板式図である。

【図3】 従来の高周波IC用パッケージの一例の上面図

である。

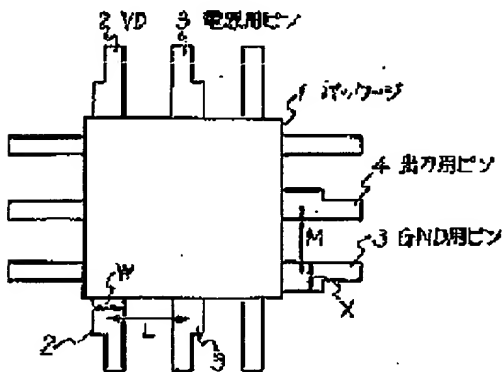
【符号の説明】

- 1 パッケージ
- 2 V<sub>D</sub>電源用ピン
- 3 GND用ピン
- 4 出力用ピン
- 5 低周波バイパスコンデンサ
- 6 高周波バイパスコンデンサ
- 7 負荷抵抗

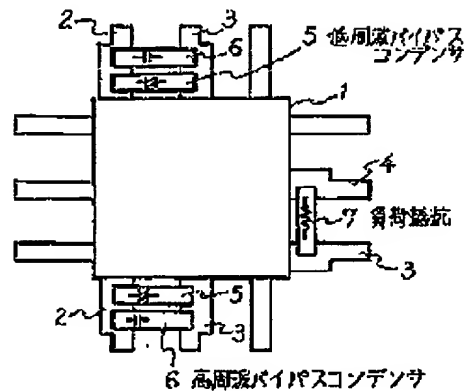
L, M ピン間隔

W, X ピン幅

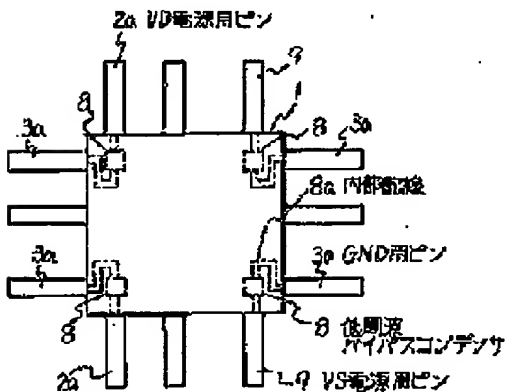
【図1】



【図2】



【図3】



BEST AVAILABLE COPY

【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は高周波IC用パッケージに関し、特に高速で電源ノイズに敏感な高周波ICを搭載するパッケージに関する。

【0002】

【従来の技術】

従来、高速動作をし、電源ノイズ対策が必要な高周波ICを搭載するパッケージは、電源ノイズ対策パッケージ内部に電源(VD, VS), GND間にバイパスコンデンサを搭載していた。

【0003】

図3は、従来例のパッケージの平面図である。パッケージ1内の四隅に破線で示す低周波バイパスコンデンサ8を内部配線8aに搭載し、VD電源用ピン2a, GND用ピン3a間と、VS電源用ピン9, GND用ピン3a間に各々接続してあった。

【0004】

【考案が解決しようとする課題】

しかし上述した従来の高周波IC用パッケージでは、パッケージ内にチップ部品を搭載する構造となっているので、複数のチップ部品を搭載するためには大きなパッケージが必要となり、IC, パッケージ間のボンディングワイヤが長くなり、ボンディングワイヤのたわみなど構造上の問題と、ボンディングワイヤの寄生インダクタンス成分が増加し、高周波特性劣化を招くという問題点があった。

【0005】

特に高周波動作のICに於いて、電源ノイズ、信号の反射などによる特性劣化を起こさないために、IC近傍で搭載する必要のあるチップ部品は以下の3種類ある。①低周波電源ノイズを減衰させるバイパスコンデンサチップ(以下低周波バイパスコンデンサという)②高周波電源ノイズを接地(GND)に流すバイパスコンデンサチップ(以下高周波バイパスコンデンサという)③オープンソース又はオープンエミッタ出力回路を有するICの出力ピンに接続する負荷抵抗(以

BEST AVAILABLE COPY

下負荷抵抗という)。

【0006】

しかし従来のIC用パッケージでは上述したチップ部品を図3に示すようにパッケージの四隅にしか搭載できないという問題があるので通常、パッケージ内には低周波バイパスコンデンサのみを搭載し、高周波バイパスコンデンサ及び負荷抵抗はパッケージ搭載用基板の上に搭載していた。また、複数の電源を必要とするICでは、低周波バイパスコンデンサもパッケージ搭載用基板の上に搭載していた。そのため、回路配線路が長くなるので、高周波信号の反射や基板上での配線間のクロストークなどのトラブルが起き易くなり、ICの高周波特性の著しい劣化を招くことがあった。

【0007】

本考案の目的は、高周波特性がよく、電源ノイズに強い高周波IC用パッケージを提供することにある。

【0008】

【課題を解決するための手段】

本考案の高周波IC用パッケージは、内部にICチップを搭載し、かつ外部と接続する複数のピンを有する高周波IC用のパッケージにおいて、前記ピンがチップ部品の長さに対応したピン間隔を有し、かつ前記チップ部品の端部をマウントするマウント領域を有して構成される。

【0009】

【実施例】

次に本考案の一実施例について図面を参照して説明する。図1に本考案の一実施例の上面図を示す。パッケージ1は、VD電源用ピン2とGND用ピン3の間の距離Lをチップコンデンサの長さに設定すると共に、VD電源用ピン2はチップコンデンサをマウントできるように広くピン幅Wを決める。同様に出力ピン4とGND用ピン3の距離Mをチップ抵抗の長さにすると共に、出力ピン4とGND用ピン3はチップ抵抗をマウントできるようにピン幅Xを決める。このピン中心間距離L、Mとピン幅W、Xはチップ部品の大きさに対応する。

【0010】

BEST AVAILABLE COPY

図2は図1に示したパッケージ1のピン間にチップ部品を搭載した上面図でV  
D電源用ピン2とGND用ピン3との間に低周波バイパスコンデンサ5と高周波  
バイパスコンデンサ6を搭載し、又、出力用ピン4とGND用ピン3との間に負  
荷抵抗7を搭載している。

【0011】

【考案の効果】

以上説明したように本考案は、パッケージのピン間をチップタイプ部品の長さ  
にし、パッケージのピンにチップ部品用マウント領域を設け、複数のチップ部品  
を各ピン間に接続できるので、周波数帯域が広く、電源ノイズを減少させること  
ができるとともに、出力ピンの負荷抵抗がIC近傍でできることにより、出力信  
号による反射が起こらず高周波特性の劣化を減少できる効果がある。

BEST AVAILABLE COPY